國 立 中 央 大 學

電 機 工 程 學 系

[數位](https://ncueeclass.ncu.edu.tw/course/16037)訊號處理架構設計

期末報告

指導老師:蔡宗漢

學生: 林豪澤、吳瑋恩

系級:電機碩二

學號: 111521035、111521040

中華民國一百一十二年十二月

1. Topic and group members.

Topic :

QR decomposition for 4x4 real matrix with systolic array architecture

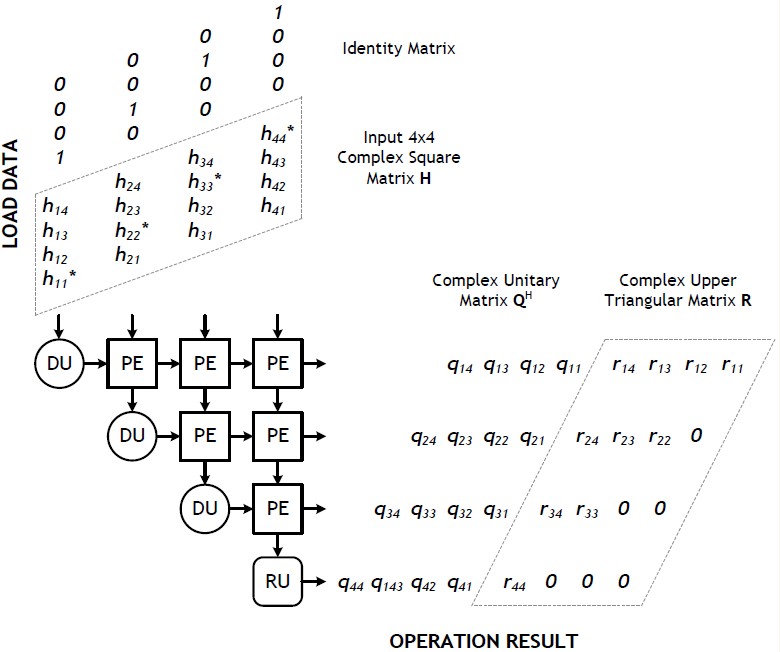
Members : 111521035 林豪澤

111521040 吳瑋恩

1. 分工表

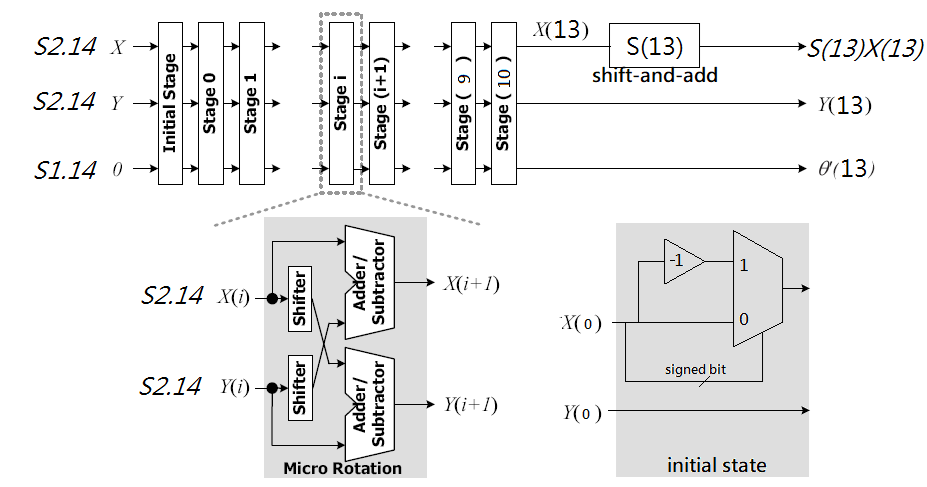
|  |  |  |  |
| --- | --- | --- | --- |
| 分工表 |  | 吳瑋恩 | 林豪澤 |
| matlab simulation | | % | % |
|  | function implementation | 50 | 50 |
|  | truncation | 70 | 30 |
|  | NRMSE calculate | 70 | 30 |
|  | verilog input and output generate | 50 | 50 |
| verilog |  |  |  |
|  | Without pipeline | 100 | 0 |
|  | With 4 stages pipeline | 25 | 75 |
|  | With 13 stages pipeline | 25 | 75 |
| PPT&Word |  |  |  |
|  | Word | 20 | 80 |
|  | PPT | 70 | 30 |

1. Block diagram
2. QR decomposition for 4x4 real matrix



圖一 QR decomposition for 4x4 real matrix 之架構方塊圖

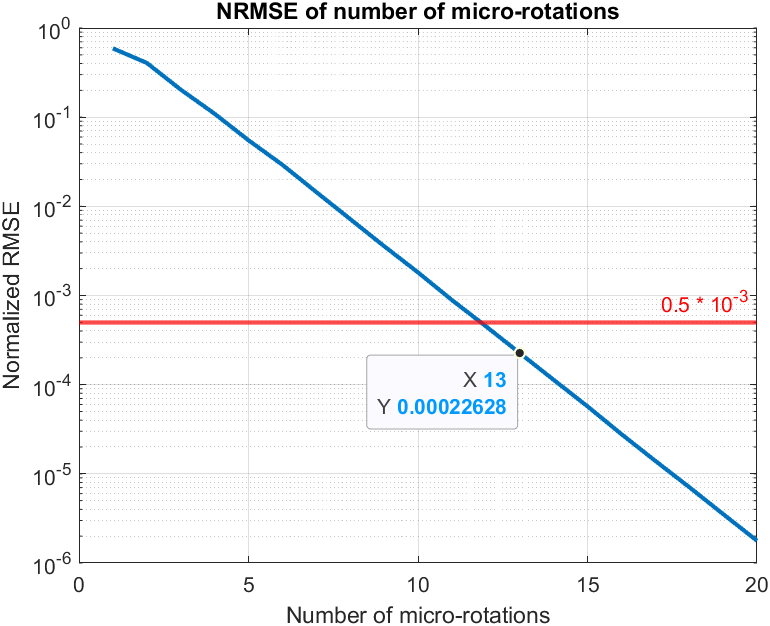
1. Process element(PE)



圖二 CORDIC架構圖

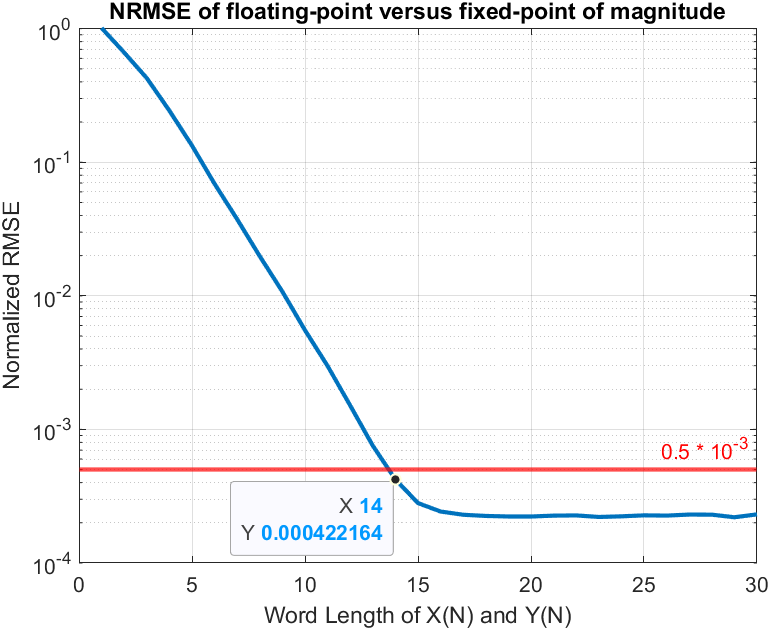
1. System simulation
2. Truncation

量化Rotation number



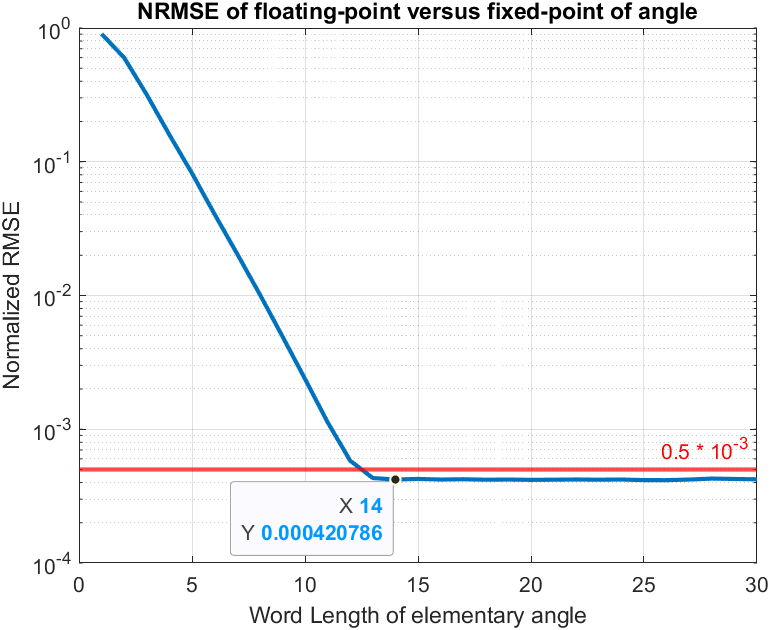
圖三 NRMSE of floating-point versus fixed-point of Rotation number

量化magnitude



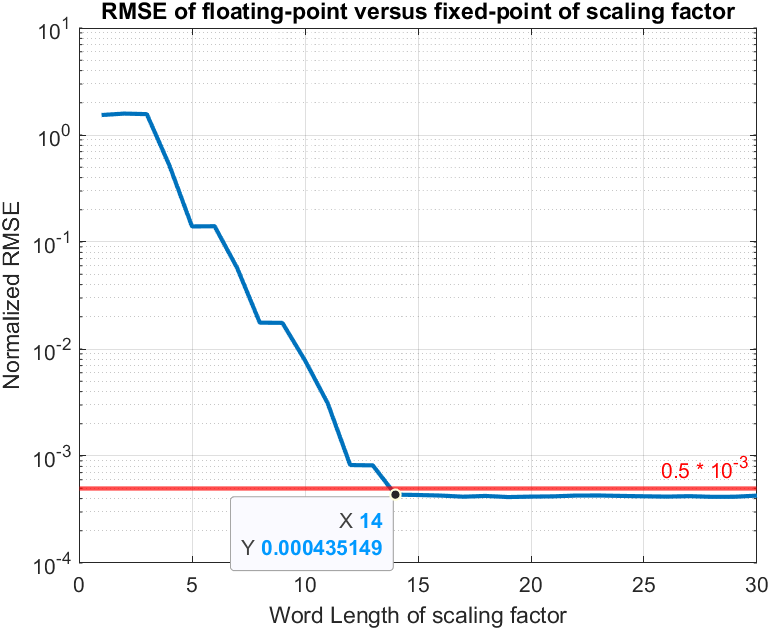
圖四 NRMSE of floating-point versus fixed-point of magnitude

量化Angle



圖五 NRMSE of floating-point versus fixed-point of Angle

量化scaling factor

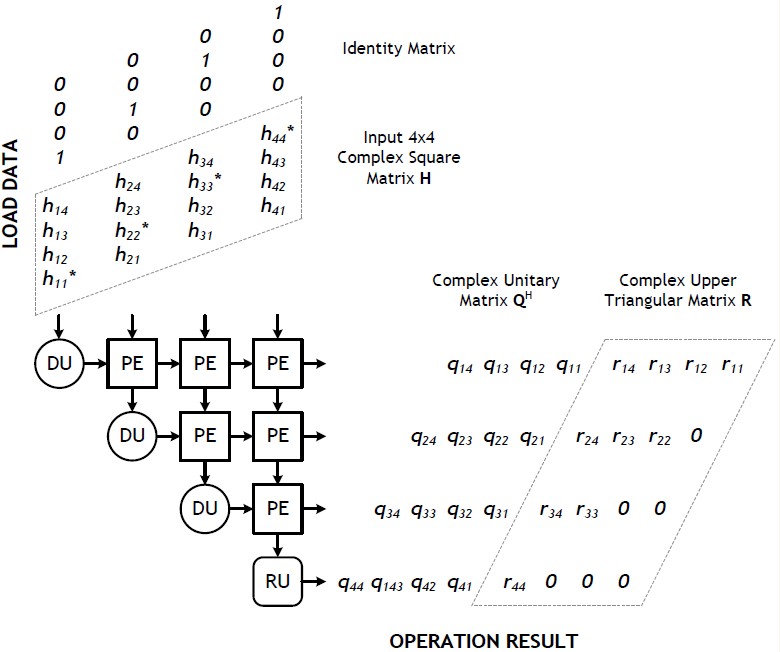


圖六 NRMSE of floating-point versus fixed-point of scaling factor

最後選擇Input 的word length = 17 bits(S2.14)

Elementary angle的word length = 16 bits(S1.14)

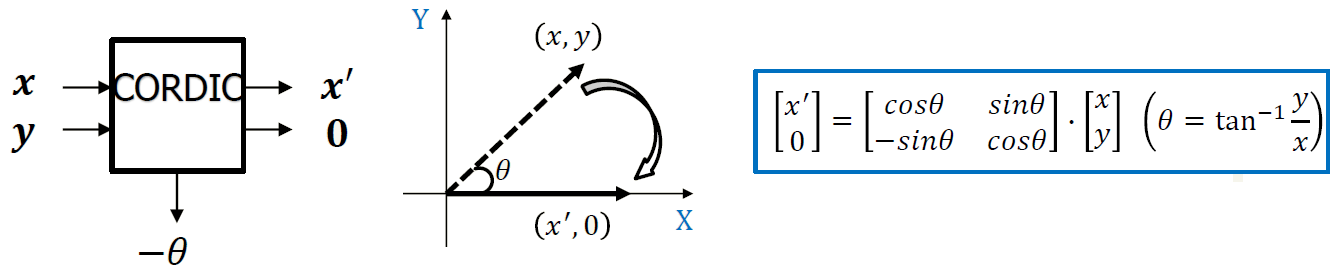
1. Architecture
2. QR decomposition for 4x4 real matrix Architecture



圖七 QR decomposition for 4x4 real matrix architecture

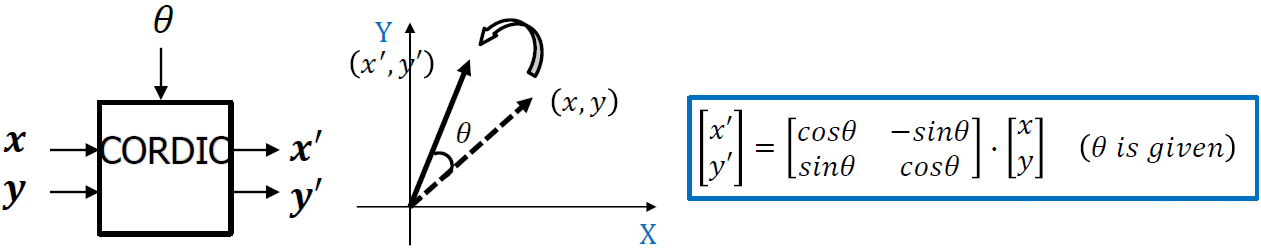
1. PE的操作模式

Vectoring mode



給定一組x與y，在Vectoring mode的CORDIC會將(x,y)旋轉至接近於X軸上，x的值放大約 1.64 倍，緊接著將tan-1(y/x) 的角度算出。

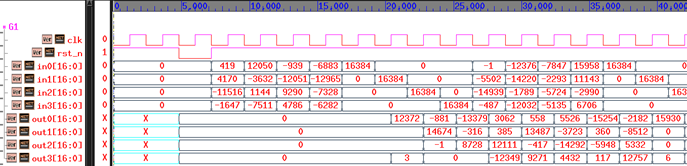
Rotation mode



給定一組x、y與角度ϴ，在Rotation mode的CORDIC會將(x,y)逆時針旋轉角度ϴ至(x’,y’)上。

1. Hardware implementation results
2. Without pipeline

Behavior simulation



rst\_n : 重置訊號

clk : 時脈訊號

in\_0 : QR分解的輸入。

in\_1 : QR分解的輸入。

in\_2 : QR分解的輸入。

in\_3 : QR分解的輸入。

out\_0: QR分解的輸出。

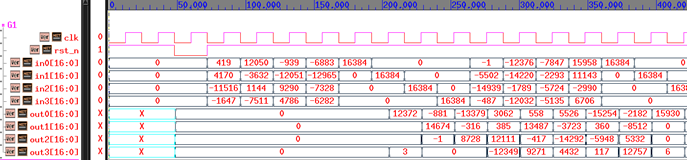
out\_1: QR分解的輸出。

out\_2: QR分解的輸出。

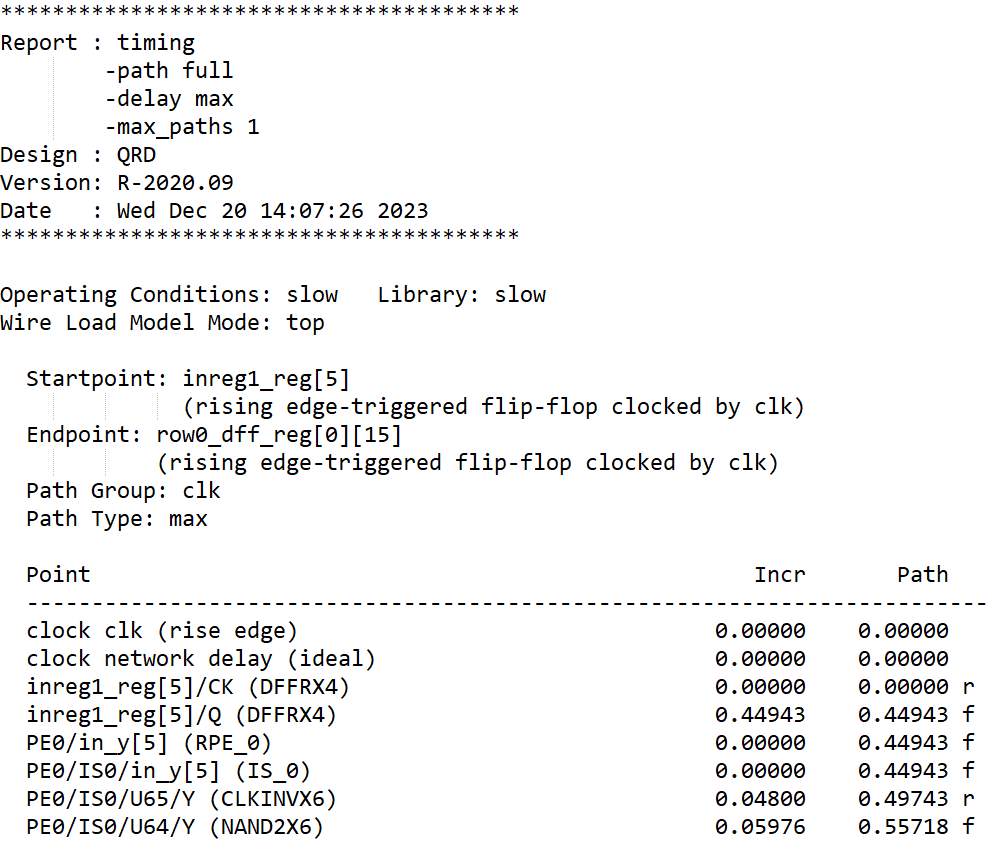
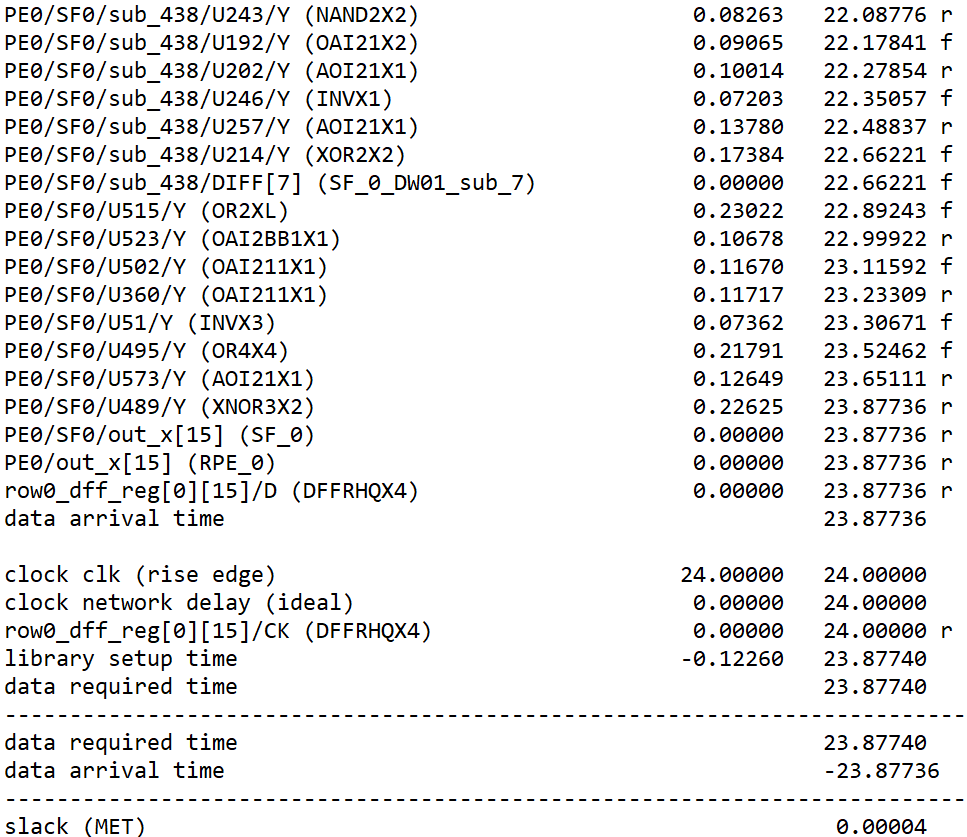
out\_3: QR分解的輸出。

post-Synthesis simulation

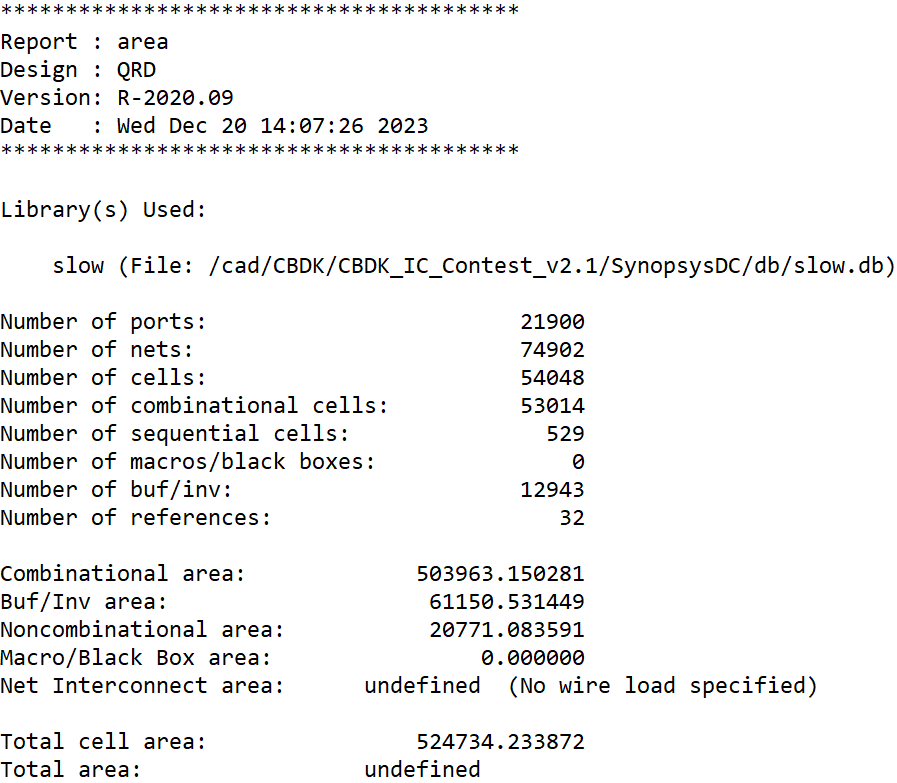
訊號名稱和behavior simulation 一致



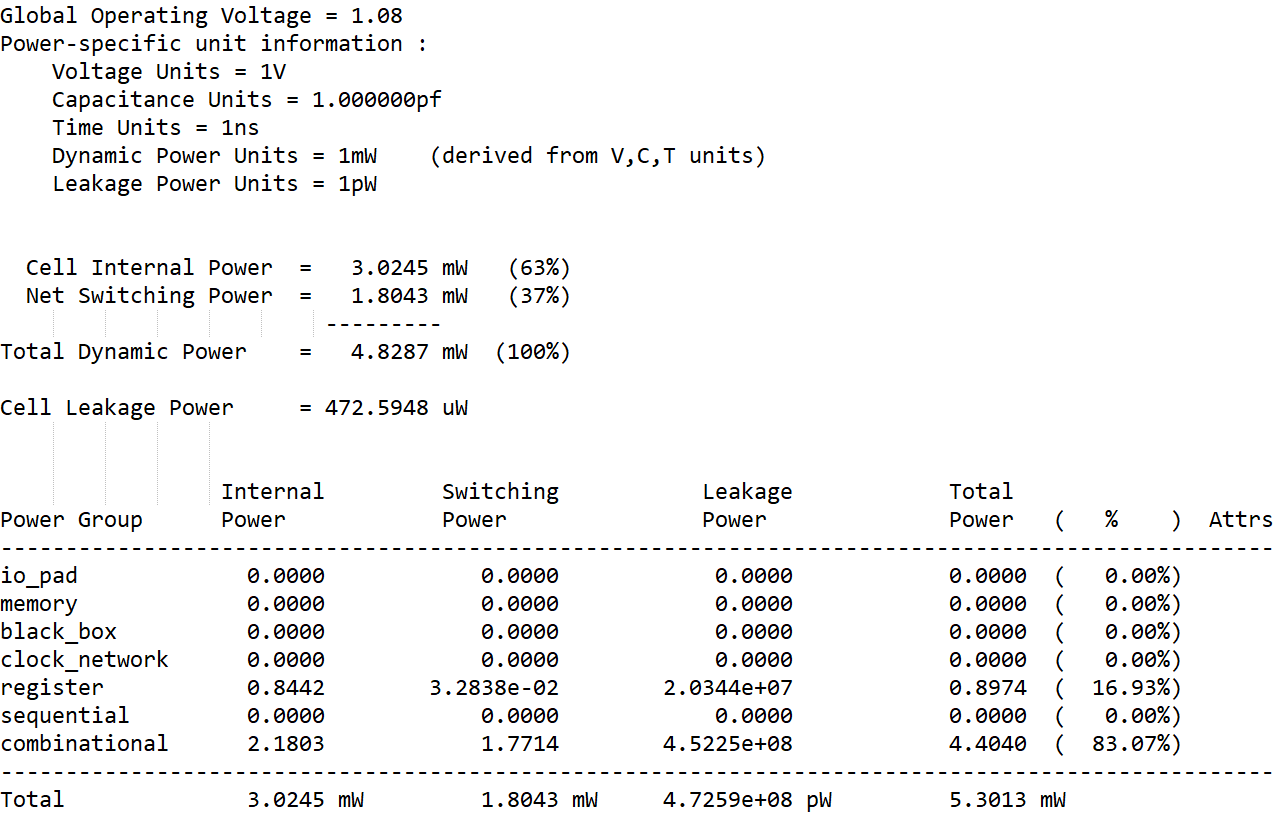
Timing report



Area report

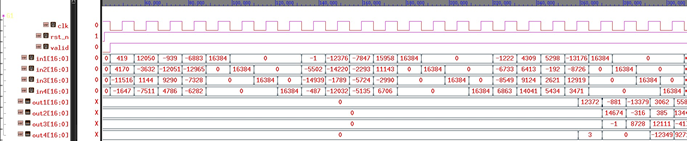


Power report



1. 4 stages pipeline

Behavior simulation



rst\_n : 重置訊號

clk : 時脈訊號

in\_1 : QR分解的輸入。

in\_2 : QR分解的輸入。

in\_3 : QR分解的輸入。

in\_4 : QR分解的輸入。

out\_1: QR分解的輸出。

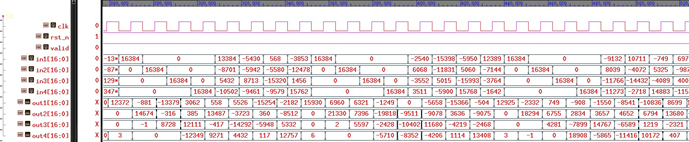
out\_2: QR分解的輸出。

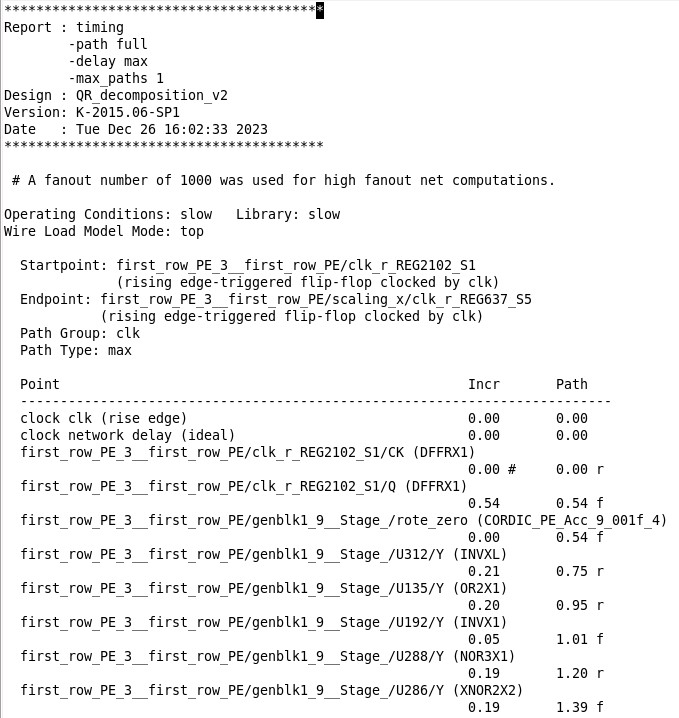
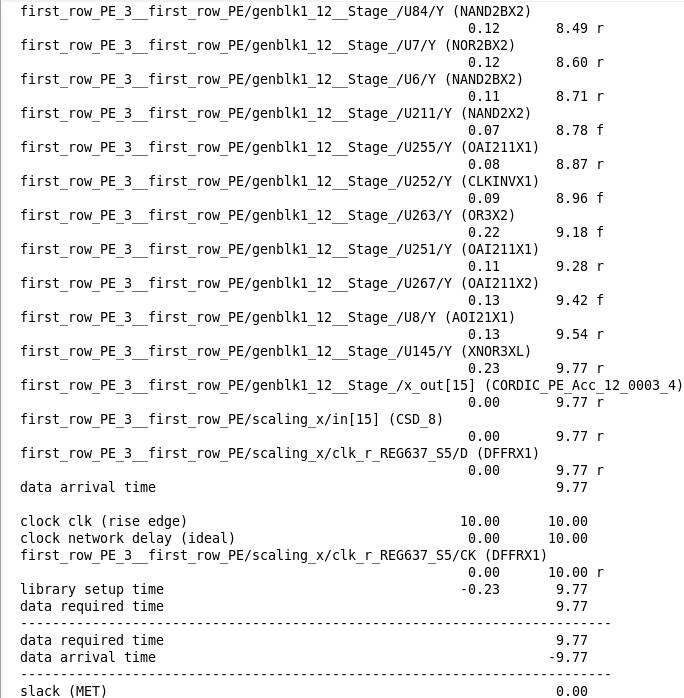
out\_3: QR分解的輸出。

out\_4: QR分解的輸出。

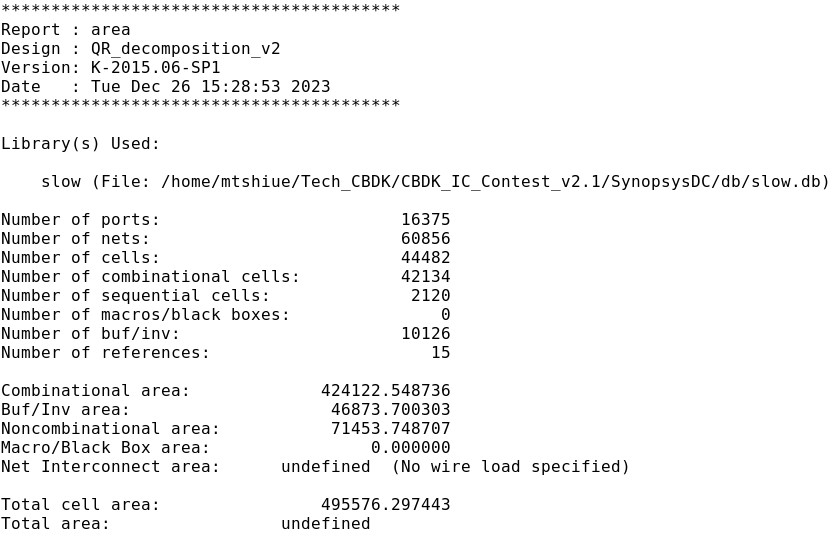
post-Synthesis simulation

訊號名稱和behavior simulation 一致

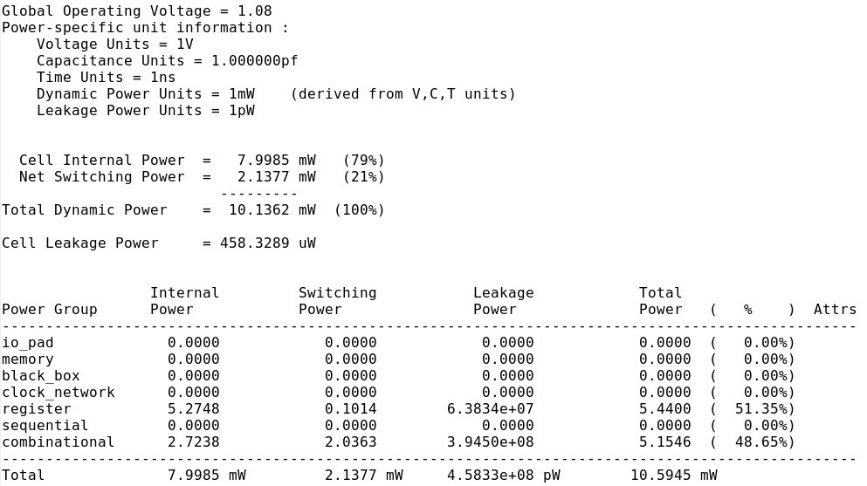


Timing report

Area report

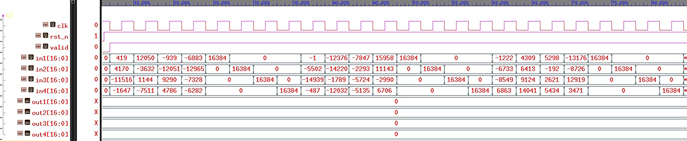


Power report



1. full stages pipeline

Behavior simulation



rst\_n : 重置訊號

clk : 時脈訊號

in\_1 : QR分解的輸入。

in\_2 : QR分解的輸入。

in\_3 : QR分解的輸入。

in\_4 : QR分解的輸入。

out\_1: QR分解的輸出。

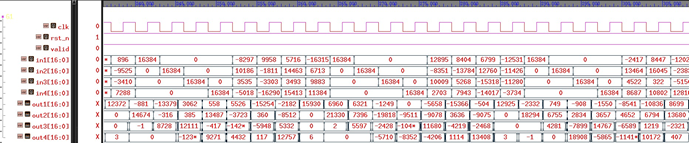
out\_2: QR分解的輸出。

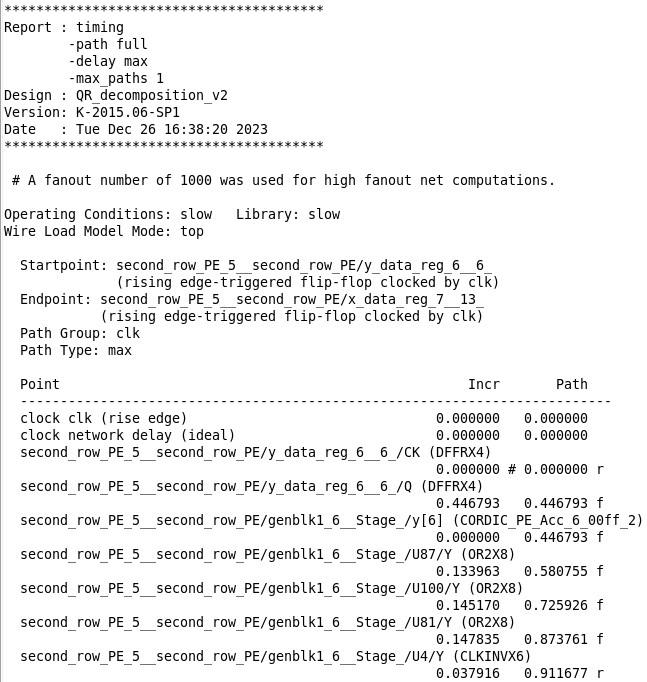
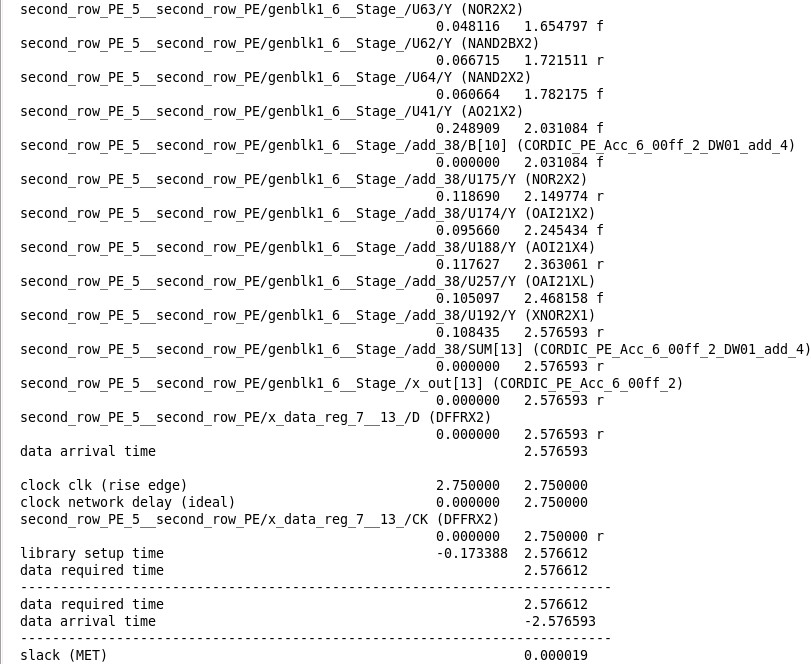
out\_3: QR分解的輸出。

out\_4: QR分解的輸出。

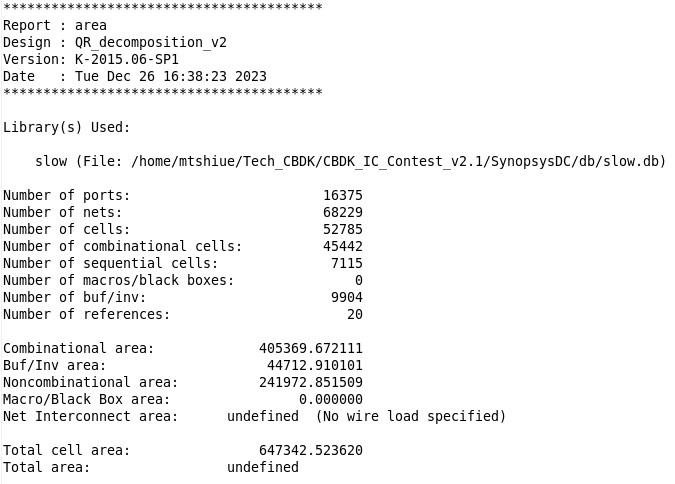
post-Synthesis simulation

訊號名稱和behavior simulation 一致

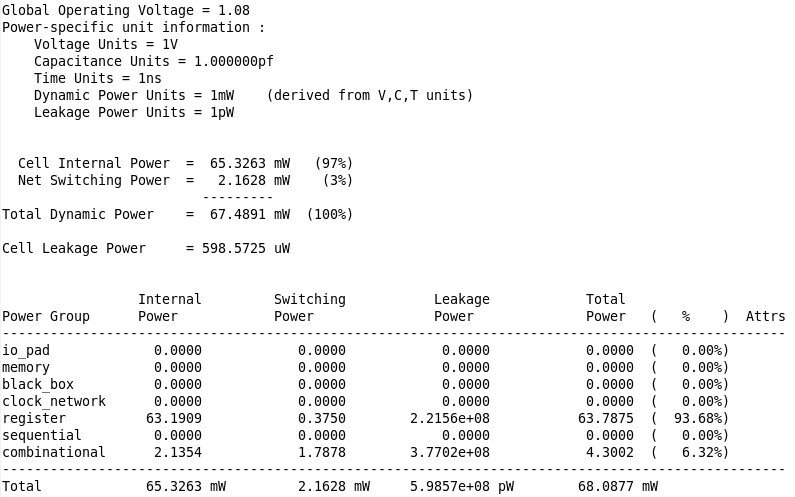


Timing report

Area report



Power report



1. Summary

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Pipeline type** | **Area(µm²)** | **Timing(ns)** | **Power(mW)** | **Critical path** |
| Non | 524734.23 | 24 | 5.3013 | 1IS + 13MR + 1SF |
| Fourth stage | 495576.29 | 11 | 10.5945 | 4MR |
| Fully stage | 647342.52 | 3 | 68.0877 | 1MR |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Pipeline type** | **Area(µm²)** | **Timing(ns)** | **Power(mW)** | **Critical path** |
| Non | 524734.23 | 24 | 5.3013 | 1IS + 13MR + 1SF |
| Fourth stage | 379514.87 | 24 | 3.6463 | 4MR |
| Fully stage | 475385.72 | 24 | 6.7697 | 1MR |

1. Processing time

本次期末專題實作QR decomposition for 4x4 real matrix 的Processing time根據切的不同數量的pipeline stage會有不同的結果，以下的表格為資料經過不同stages時的Latency。

|  |  |  |  |
| --- | --- | --- | --- |
| **Pipeline type** | **Timing(ns)** | **Processing time** | **Throughput**  **(matrices/µs)** |
| Non | 24 | 5 cycles / 120ns | 10.42 |
| Fourth stage | 11 | 20 cycles / 220 ns | 22.72 |
| Fully stage | 3 | 75 cycles / 225ns | 83.33 |

|  |  |  |  |
| --- | --- | --- | --- |
| **Pipeline type** | **Timing(ns)** | **Processing time** | **Throughput**  **(matrices/µs)** |
| Non | 24 | 5 cycles / 120ns | 10.42 |
| Fourth stage | 24 | 20 cycles / 480 ns | 10.42 |
| Fully stage | 24 | 75 cycles / 1800ns | 10.42 |

1. Conclusion

此次專題我們實作了64-points radix-4 SDF FFT。這個SDF架構相較於先前的LAB6中的MDC架構，差別之處在於使用的是Radix-4的butterfly做運算，且MDC屬multi-path delay commutator架構，Radix-2的MDC即每個Stage都具兩條path在做I/O，SDF的架構則是不論Radix-2 或是 Radix-4都是單條path在兩個Stage裡做I/O。

在此架構下我們會用到的元件有: Mux、Shift Register、Radix-4 butterfly以及complex Multiplier。其中Shift Register替代了Memory的架構，不僅省下了16to1、4to1的Mux及其功耗，還大幅減少控制訊號的複雜度。而complex Multiplier則與CORDIC兩相比較後保留了下來，使用複數乘法器來當作Twiddle Rotator，而不使用CORDIC，雖然稍微提升了電路的功耗以及面積，但運算的延遲時間減少了相當多。

學生認為此次的專題使我們更深入了解了MDC與SDF兩種FFT架構，也思考了兩者的優缺點，並針對可以改善的部分做了加強，未來若有機會並定會將此架構用在更多地方。

最後很感謝老師這學期的用心教導，也感謝助教在這門課上幫助我們解決許多碰到的問題。